

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

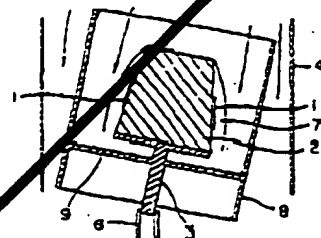
**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(54) ORGANIC METAL VAPOR GROWING DEVICE

(11) 4-357825 (A) (43) 10.12.1992 (19) JP
 (21) Appl. No. 3-159746 (22) 4.6.1991
 (71) FURUKAWA ELECTRIC CO LTD:THE (72) SATOSHI HATTORI
 (51) Int. Cl.⁵ H01L21/205

PURPOSE: To form uniform and thin film crystals on wafers by integrally providing a susceptor holder at the center of a cylindrical inner tube by bringing the axes of both into coincidence.

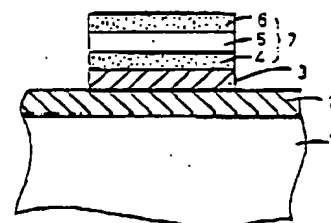
CONSTITUTION: A cylindrical inner tube 8 is secured to each end of a supporting arm 9 provided at a lower shaft of a susceptor holder 3. A truncated pyramidal susceptor 2 in which wafers 1 are mounted on the respective side faces, is secured to the holder 3, and the lower shaft of the holder 3 is mounted at the upper end of a rotary shaft 6 in a reactor 4. When material gas and carrier gas are introduced into the reactor 4 to grow a semiconductor film crystal on the wafer 1 while heating the susceptor 2, even if the holder 3 is obliquely mounted, gas inside the tube 8 flows in parallel, the flows of the gases on the respective wafers 1 become equal, and thin films of uniform thickness can be grown.

**(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF**

(11) 4-357826 (A) (43) 10.12.1992 (19) JP
 (21) Appl. No. 3-132653 (22) 4.6.1991
 (71) MITSUBISHI ELECTRIC CORP (72) MEGUMI MATSUURA(2)
 (51) Int. Cl.⁵ H01L21/28, H01L29/46, H01L29/62, H01L29/784

PURPOSE: To obtain a semiconductor device having a polyside film having high performance and a method for manufacturing the same.

CONSTITUTION: A high melting point silicide film 7 is formed on a polycrystalline silicon film 3 thereby to form a polyside film. The film 7 is formed of three films of a first high melting point silicide film 4, a second high melting point silicide film 5 and a third high melting point silicide film 6. A composition ratio of high melting point metals of the film 4 to the film 6, is set higher than that of high melting point metal to the film 5. Adhesive properties between the silicon film and the silicide film are excellent, an increase in a stress of the silicide film can be prevented, and the surface of the silicide film is scarcely oxidized. Further, when the polyside film is manufactured, a processing margin is large.

**(54) MANUFACTURE OF SEMICONDUCTOR DEVICE**

(11) 4-357828 (A) (43) 10.12.1992 (19) JP
 (21) Appl. No. 3-132721 (22) 4.6.1991
 (71) SHARP CORP (72) HIROO OOTAKE
 (51) Int. Cl.⁵ H01L21/28, H01L21/265

PURPOSE: To provide a method for manufacturing a semiconductor device, in which resistances of a source, a drain and a gate are reduced and a resistance of a contact is reduced by implanting metal ions and silicifying it.

CONSTITUTION: A method for manufacturing a semiconductor device comprises the steps of implanting Co ions 13 in a source, a drain and a gate of a surface of a silicon substrate 1, forming a CoSi₂ film 13a by heat treating, reducing resistances of a source 9, a drain 10 and a gate 4a regions, and reducing resistances of contacts of wiring 15 with the silicons 9, 10, thereby preventing reaction. The method further comprises the steps of simultaneously forming CoSi₂ films 17a on contacts of the source, the drain and the gate, thereby reducing resistances of contacts of wiring 13 with silicons 24, 26 and preventing reaction. Thus, the resistance of the contact can be reduced, and reaction of the wiring with the silicon can be prevented.



特開平4-357828

(43) 公開日 平成4年(1992)12月10日

(51) Int.Cl.⁸

H 0 1 L 21/23

21/265

識別記号

3 0 1 S 7738-4M

8617-4M

8617-4M

F I

H 0 1 L 21/ 265

技術表示箇所

Z

審査請求 未請求 請求項の数2(全5頁)

(21) 出願番号

特願平3-132721

(22) 出願日

平成3年(1991)6月4日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 大竹 弘亥

大阪市阿倍野区長池町22番22号 シャープ

株式会社内

(74) 代理人 弁理士 野河 信太郎

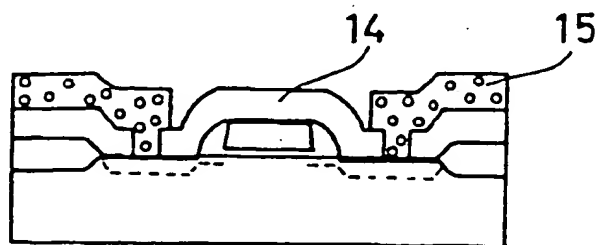
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 金属イオンの注入とそのシリサイド化により、ソース、ドレイン及びゲート部の低抵抗化やコンタクトの低抵抗化を図る半導体装置の製造方法を提供する。

【構成】 シリコン基板1の表面のソース、ドレイン及びゲートにCoイオン13を注入し熱処理によりCoSi₂膜13aを形成して、ソース9、ドレイン10及びゲート4a領域の低抵抗化を図るとともに、配線15とシリコン9、10とのコンタクトの低抵抗化、反応防止を図る半導体装置の製造法である。また、ソース、ドレイン及びゲートのコンタクト部に、同様に、CoSi₂膜17aを形成することにより、配線23とシリコン24、26とのコンタクトの低抵抗化、反応防止を図る半導体装置の製造法である。

【効果】 コンタクト部の低抵抗化、配線とシリコンとの反応防止を図ることができる。



【特許請求の範囲】

【請求項1】 ソース、ドレイン及びゲートからなる素子領域に、金属イオンを注入する工程と、素子領域のシリコンと注入された金属により自己整合的に金属シリサイドを形成する工程とからなる半導体装置の製造方法。

【請求項2】 ソース、ドレイン及びゲートからなる素子領域のコンタクト開口部に、金属イオンを注入する工程と、素子領域のコンタクト開口部のシリコンと注入された金属により自己整合的に金属シリサイドを形成する工程とからなる半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、高速の大規模集積回路などに好適に実施される半導体装置の製造方法に関する。

【0002】

【従来の技術及び発明が解決しようとする課題】 一般に、ソース・ドレイン及び両者間に位置するゲートからなる素子形成領域とこの領域部の外側に位置する素子間分離領域部とを有する半導体基板からなるMOS FETにおいては、図16ないし図19に示す4つのタイプのコンタクト開口型の金属配線構造が採用されている。

【0003】 (i) 第1のものは図16に示すようにソース24、ドレイン23、ゲート25と、これらの外側に例えばSiO₂の素子分離膜21を有するシリコン基板20上に、CVD法によって積層されたコンタクト開口22aを有するSiO₂の層間絶縁膜22を介してA1にシリコンを固溶させたA1-Si層23を形成し、それによってA1中へのシリコンの拡散にて置換されたA1による接合破壊の現象、いわゆるアロイスバイクの発生を防止すると共に、A1-Si層23とSi基板20とのコンタクト部を微量にエッチングし、それによって表面汚染層もしくはダメージ層を除去して低抵抗化を図るようにしたものである。

【0004】 しかし、上記接合破壊に対して、上述したようにSi入りA1が有効であるが、過飽和のSiがコンタクト上に固相エピタキシャル成長し、コンタクト抵抗を増大させる問題が新たに発生し、サブミクロン領域へと微細化すると、最悪のケースとして、コンタクト部が析出したSiに完全に覆われ、接触不良を引き起こす。これらの問題は、LSIの歩留りを低下させる重大な問題となっている。

【0005】 (ii) 第2のものとして、図17に示すように、A1-Si層23とSi基板20の反応を防止するために、両者23及び20間にTiWやTiN、あるいはMo、W、Coなどの高融点金属及びそれらのシリサイドからなるバリアメタル層27を挿入した構造が提案されている。このバリアメタルの挿入によりコンタクトの信頼性は向上するが、上記第1のものと同様、ソース・ドレイン及びゲートの表面抵抗やコンタクト抵抗

は依然高いままである。

【0006】 (iii) 第3のものとして段差被覆性に伴う問題を、図18に示すように、W選択CVD法を用いて形成したコンタクトプラグとしてのタングステン層31によってコンタクト開口部を埋め込むようにして解決した第3のものが知られている。しかし、ここでは、選択CVD法がSi表面に敏感なため選択成長の再現性が、更には、コンタクト抵抗の増大が問題となっている。そして、(iv) 第4のものとして、図19に示すように、ソース24、ドレイン26上及びゲート25上へTiSi₂、CoSi₂あるいはWSi₂などのシリサイドもしくはタングステン層28を選択的(自己整合的)に形成することができ、かつ表面抵抗やコンタクト抵抗を低抵抗化するようにしたSALICIDE (Self Aligned Silicided Source/Drain) 構造が提案されている。このシリサイドの形成としては、スパッタ法でTiやCoの堆積後、RTA (Rapid Thermal Annealing) 法によって、下地のSiと反応させて、TiSi₂やCoSi₂を形成する方法が発表されている。この場合、SiO₂上の未反応の金属は、薬液で除去される。一方、タングステンの場合には、堆積プロセスのみで、ソース24、ドレイン26及びゲート25へ選択的に形成するというW選択CVD (Chemical Vapor Deposition) 法が提案されている。

【0007】 しかしながら、シリサイドの作製においては、シリサイド化がゲート部とソース・ドレインの両方から進行するため、ゲート部とソース・ドレイン部との絶縁が難しい。また、Wの選択CVD法は、シリコン基板の表面状態に敏感なため選択成長の再現性に乏しく、また、WSi₂の抵抗もやや高い。このように、コンタクト特性やシリサイド特性が大きな問題となっている。本発明の目的は、上記技術的課題を解決し大規模集積回路の信頼性を向上した半導体の製造方法を提供することである。

【0008】

【課題を解決するための手段】 この発明は、1. ソース・ドレイン及びゲートからなる素子領域に、金属イオンを注入する工程と、素子領域のシリコンと注入された金属により自己整合的に金属シリサイドを形成する工程とからなる半導体装置の製造方法である。この発明は、また、2. ソース・ドレイン及びゲートからなる素子領域のコンタクト開口部に、金属イオンを注入する工程と、素子領域のコンタクト開口部のシリコンと注入された金属により自己整合的に金属シリサイドを形成する工程とからなる半導体装置の製造方法である。即ち、この発明は、金属イオンの注入とそのシリサイド化により、素子領域の低抵抗化や素子領域コンタクト部の低抵抗化、配線とシリコンとの反応防止を図るものである。

【0009】

【作用】本発明に従えば、次のような作用がある。①本発明により、ソース/ドレイン及びゲートの表面抵抗を従来法（図16、図18）に比して、1桁以上低減でき、デバイス的高速化に大きく寄与する。②コンタクト抵抗が従来のもの（図16ないし図19）に比して、大幅な改善ができ、同様にデバイス的高速化に大きく寄与する。

【0010】③ソース/ドレイン及びゲート形成が自己整合的に行えるため、リソグラフィの工程減少などプロセスの簡略化が図れる。④設計の余裕度の拡大並びに、必要面積の縮小化に寄与するため、微細化に貢献する。

【0011】

【実施例】以下この発明の実施例を図面にて詳述するが、この発明は、以下の実施例に限定されるものではなく、その趣旨を逸脱しない範囲で種々変形して実施することができる。まず図1に示すように、Si基板1上にLOCOS（Local Oxidation of Silicon）法を用いてフィールドSiO₂膜2を形成し、素子間を絶縁分離する。

【0012】この際、他の微細化プロセスに対応した素子間分離法、例えばシリコン基板をエッチングして、CVD法によるSiO₂膜を堆積した後、エッチバック法により埋め込みを行う埋め込み絶縁分離法などを用いて絶縁分離するようにしてもよい。素子間分離後は、図2に示すように、Si基板1上全面に、順次ゲート酸化膜3、ポリシリコン膜4を積層する。

【0013】次に、図3に示すように、リソグラフィとRIE（Reactive Ion Etching）により、後にゲートとなる領域のポリシリコン膜4aを残してエッチングする。この後、図4、図5に示すように、LSIの微細化と共に問題となってきたホットキャリア効果に対する対応策として提案されているLDD（Lightly Doped Drain）構造のプロセスを実施する。

【0014】このとき、まず、n型（またはp型）の低濃度のイオンを注入することにより低濃度不純物注入領域8を形成し、公知の方法でサイドウォール Spacer 12を形成した後、高濃度領域ソース9、ドレイン10を形成する。この高濃度注入はシリサイドを形成してからも可能である。次に、図6に示すように、Coイオン13を5-10keVで、3E17-（3×10¹⁷）cm⁻²注入する。この場合、薄膜のSiO₂が表面についていてもよい。

【0015】次に、600℃、1時間と800℃、1時間の熱処理を施せば図7のように、ポリシリコン膜4aとシリコン基板1上のみに自己整合的にCoSi₂膜13aが100nm形成される。このため、ソース、ドレインの浅い接合化も図れる。あとは、通常の方法にて層間絶縁膜14を堆積し、コンタクト部を開口後、配線工程を進めれば図8に示す半導体装置が完成する。先の熱

処理は、RTAでも可能である。

【0016】このようにして形成されたデバイスのソース9、ドレイン10及びゲート4aは、ともに、14μohm cm以下の低抵抗化が図られた。次に、ローカルインターコネクト法への実施例を説明する。図8の後に層間絶縁膜形成を行わずに、配線工程を進めると、図9のような半導体装置が完成する。これが、ローカルインターコネクト法の適用例である。本法では、従来の開口型コンタクトに比して、図10、図11に示すように大幅な必要面積の縮小が可能となる。即ち、図10に示す従来例の配線金属23とソース24（あるいはドレイン）とのコンタクト必要エリアの幅Dに比して、図11に示す本実施例のコンタクト必要エリアの幅d（d<D）を十分小さくできる。

【0017】次に、コンタクト部への実施例を説明する。図12のようにコンタクト部を開口した後、Coイオン17を注入する。次に、図13に示すように、上記同様、熱処理後CoSi₂膜18を自己整合的に、コンタクト部のみに形成する。CoSi₂の作製条件は、先の実施例と同様の条件でよい。Coイオンは微細なコンタクト径になっても注入可能なため、CoSi₂は安定に、再現性よく作製できる。このCoSi₂は自らバリアメタルの役目があり、他の特別の材料は不要である。次に、プロセスを進めると、図14、図15に示すような半導体装置が完成する。すなわち、図14においては、コンタクト抵抗の低減が大幅に可能である。また、図15においては、Wの選択成長が安定化すると共に、コンタクト抵抗の大幅な低減が可能となる。

【0018】

【発明の効果】以上のようにこの発明によれば、金属イオンの注入とそのシリサイド化により、ソース、ドレイン及びゲートからなる素子領域の低抵抗化とコンタクト部の低抵抗化、配線とシリコンとの反応防止、高密度化が図れる。また、金属イオンの注入とそのシリサイド化により、ソース、ドレイン及びゲートからなる素子領域のコンタクト部の低抵抗化、配線とシリコンとの反応防止が図れる。これにより、高速化、高信頼化、高密度化を実現でき、その結果、LSIの性能を大幅に向上できる効果がある。

【図面の簡単な説明】

【図1】この発明の第1実施例における製造工程の第1ステップを示す構成説明図である。

【図2】上記実施例における製造工程の第2ステップを示す構成説明図である。

【図3】上記実施例における製造工程の第3ステップを示す構成説明図である。

【図4】上記実施例における製造工程の第4ステップを示す構成説明図である。

【図5】上記実施例における製造工程の第5ステップを示す構成説明図である。

【図6】上記実施例における製造工程の第6ステップを示す構成説明図である。

【図7】上記実施例における製造工程の第7ステップを示す構成説明図である。

【図8】上記実施例における製造工程の第8ステップを示す構成説明図である。

【図9】この発明の第2の実施例を説明するための構成説明図である。

【図10】従来例を説明するための構成説明図である。

【図11】上記第2の実施例を説明するための構成説明図である。

【図12】この発明の第3の実施例の1ステップを説明するための構成説明図である。

【図13】上記第3の実施例の1ステップを説明するための構成説明図である。

【図14】上記第3の実施例の1ステップを説明するための構成説明図である。

【図15】上記第3の実施例の1ステップを説明するための構成説明図である。

【図16】従来例の製造工程の第1ステップを示す構成

説明図である。

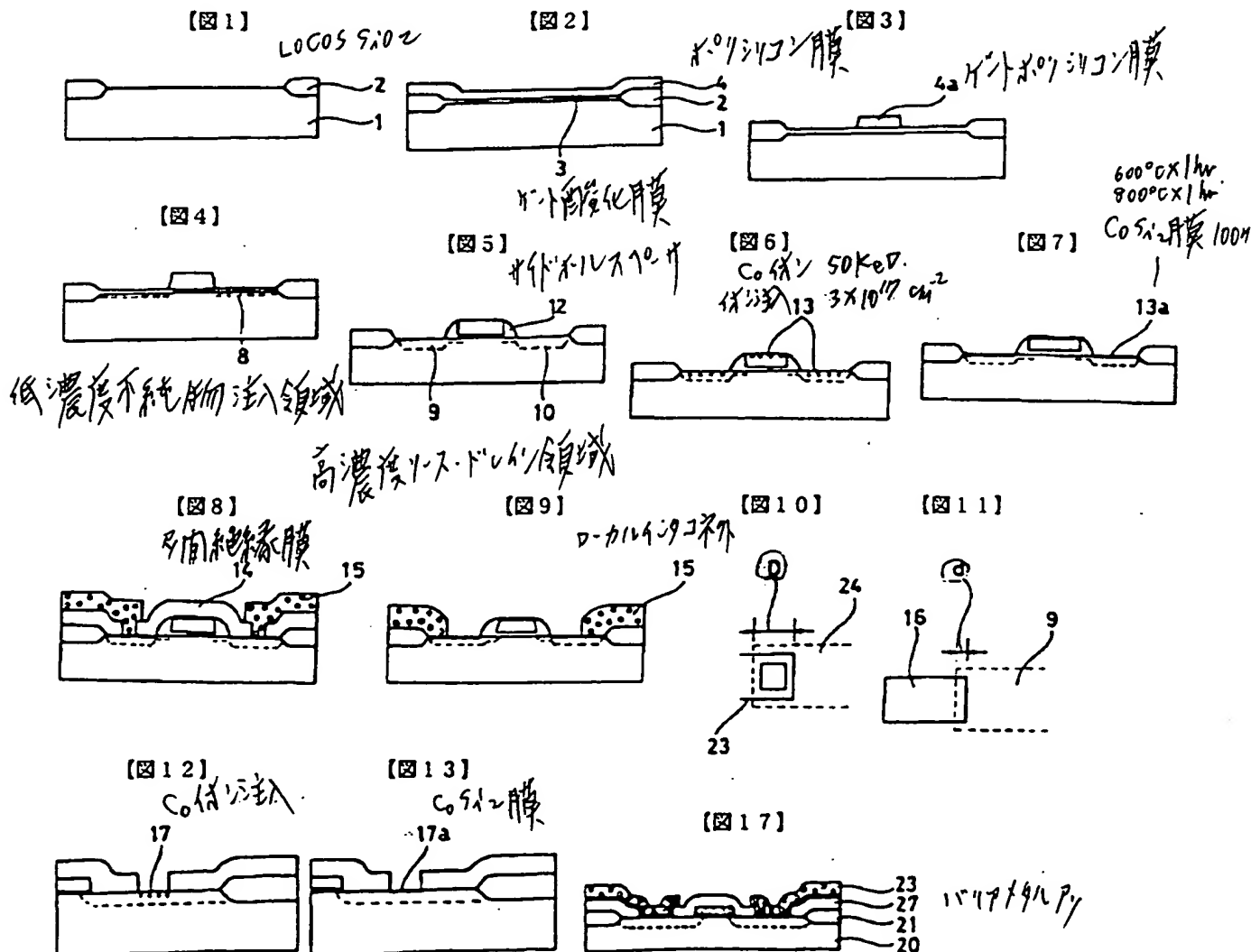
【図17】従来例の製造工程の第2ステップを示す構成説明図である。

【図18】従来例の製造工程の第3ステップを示す構成説明図である。

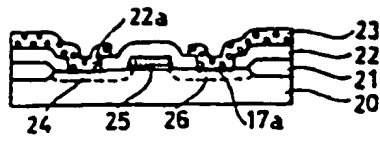
【図19】従来例の製造工程の第4ステップを示す構成説明図である。

【符号の説明】

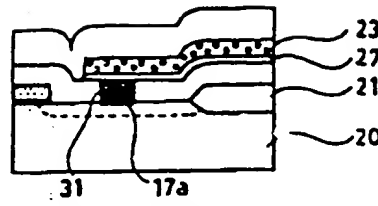
- 1 シリコン基板
- 2 SiO_2
- 3 ゲート酸化膜
- 4 ポリシリコン
- 8 低濃度不純物注入領域
- 9、10、24、26 高濃度不純物注入領域
- 12 サイドウォール
- 13a、17a CoSi_2
- 14 CVD SiO_2
- 15 Al-Si
- 27 バリアメタル



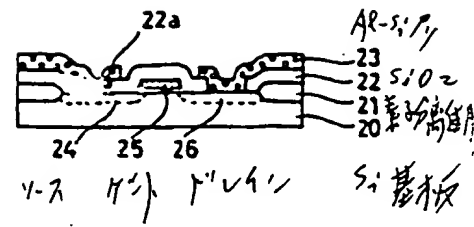
【図14】



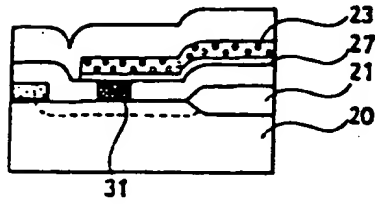
【図15】



【図16】

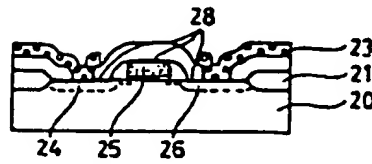


【図18】



シリコン
基板
TiN
W7077'P₁

【図19】



シリコン
基板
TiN
W7077'P₁

TiSi₂, CoSi₂, WSi₂ シリコン
基板
TiN
W7077'P₁